

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2001 年 11 月 22 日 (22.11.2001)

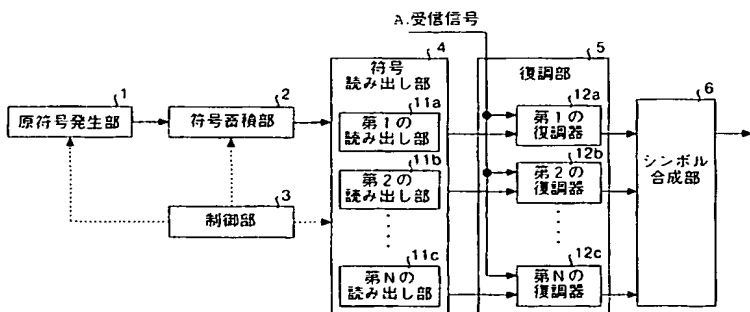
PCT

(10) 国際公開番号
WO 01/89126 A1

- (51) 国際特許分類⁷: H04J 13/04 (KANeko, Koji) [JP/JP]. 永田良浩 (NAGATA, Yoshihiro) [JP/JP]; 〒100-8310 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内 Tokyo (JP).
- (21) 国際出願番号: PCT/JP01/03950
- (22) 国際出願日: 2001 年 5 月 11 日 (11.05.2001) (74) 代理人: 酒井宏明 (SAKAI, Hiroaki); 〒100-0013 東京都千代田区霞ヶ関三丁目2番6号 東京倶楽部ビルディング Tokyo (JP).
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語 (81) 指定国 (国内): CN, KR, US.
- (30) 優先権データ:
特願2000-148156 2000 年 5 月 19 日 (19.05.2000) JP (84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).
- (71) 出願人 (米国を除く全ての指定国について): 三菱電機株式会社 (MITSUBISHI DENKI KABUSHIKI KAISHA) [JP/JP]; 〒100-8310 東京都千代田区丸の内二丁目2番3号 Tokyo (JP).
- 添付公開書類:
— 国際調査報告書
- (72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 金子幸司
- 2 文字コード及び他の略語については、定期発行される各 PCT ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: RECEIVER AND INVERSE-SPREADING CODE GENERATING METHOD

(54) 発明の名称: 受信機および逆拡散符号生成方法



- 1...ORIGINAL CODE GENERATING UNIT
2...CODE STORAGE UNIT
3...CONTROL UNIT
4...CODE READING UNIT
11a...FIRST READING PART
11b...SECOND READING PART
11c...Nth READING PART
5...DEMODULATION UNIT
12a...FIRST DEMODULATOR
12b...SECOND DEMODULATOR
12c...Nth DEMODULATOR
6...SYMBOL SYNTHESIS UNIT
A...RECEIVED SIGNAL

symbol synthesis unit (6) synthesizes all the demodulated signals.

(57) Abstract: A control unit (3) outputs control information necessary for the generating process of inverse-spreading codes and address information and timing information necessary for the reading process of inverse-spreading codes. An original code generating unit (1) generates inverse-spreading codes in accordance with the control information. Inverse-spreading codes are stored in a code storage unit (2) on the basis of an address corresponding to a multipath delay time. A code reading unit (4) receives inverse-spreading codes, which are read in accordance with the address information and correspond to the respective paths, and outputs received inverse-spreading codes in accordance with the timing information. A demodulation unit (5) demodulates received signals individually by using inverse-spreading codes corresponding to the respective paths. A



(57) 要約:

制御部（３）は、逆拡散符号の発生処理に必要な制御情報と逆拡散符号の読み出し処理に必要なアドレス情報およびタイミング情報とを出力し、原符号発生部（１）は、制御情報に基づいて逆拡散符号を発生し、符号蓄積部（２）は、マルチパスの遅延時間に対応したアドレス単位に逆拡散符号を格納する。また、符号読み出し部（４）は、アドレス情報に基づいて読み出された各パスに対応する逆拡散符号を受け取り、タイミング情報に基づいて受け取った逆拡散符号を出力し、復調部（５）は、受信信号を各パスに対応する逆拡散符号を用いて個別に復調し、シンボル合成部（６）は、すべての復調信号を合成する。

明 細 書

受信機および逆拡散符号生成方法

5 技術分野

本発明は、通信方式として、SS（スペクトル拡散）方式およびCDMA（符号分割多元接続）方式を採用する受信機に関するものであり、特に、マルチパス通信環境において、パス間の遅延時間が大きい場合または各パス間で遅延時間が異なる場合の、逆拡散符号の生成に最適な受信機、およびその逆拡散符号生成方法に関するものである。

背景技術

以下、従来の受信機について説明する。SS方式およびCDMA方式を採用する従来の受信機としては、たとえば、電子情報通信学会1995年ソサイエティ大会B-268「PN符号アドレス制御によるRAKE受信機の構成」に記載された受信機がある。第13図は、スペクトル直接拡散通信を利用した上記資料に記載の受信機の構成を示す図である。

第13図において、101はA/D変換部であり、102はサーチ受信機であり、103は制御部であり、104は第1のデジタルデータ復調機であり、105は第2のデジタルデータ復調機であり、106は第3のデジタルデータ復調機であり、107はシンボル合成器である。また、上記各デジタルデータ復調機において、111は位相補償部であり、112はPN符号発生器であり、113は乗算器であり、114は積分器である。

また、第14図は、上記PN符号発生器112の構成を示す図である。第14図において、121はカウンタであり、122は合成器であり、123はラッチ部であり、124はPN符号ROMである。

ここで、上記従来の受信機における逆拡散符号の生成方法を簡単に説明する。

上記受信機は、逆拡散符号として、PN符号(=M系列符号)を発生させるものであり、たとえば、各デジタルデータ復調機内のPN符号発生器112をデータ(PN符号)読み出し用の回路と位置付け、各デジタルデータ復調機に追従させるパスの指示をPN符号のアドレス相対値で行う。

- 5 具体的にいうと、まず、PN符号発生器112では、常時、チップクロックに同期してアドレスを生成し、そのアドレス値を制御部103から供給されるPNアドレス相対値に加算することで、PN符号アドレス(ROMアドレス)を生成する。そして、各復調機に対して共通に供給されるPNチェック信号の立ち上がりタイミングで、生成されたPN符号アドレスの値を保持する(すなわち、PN
- 10 __ROMアドレスを出力する)。このとき、PN符号は、予めPN符号ROM124に格納され、復調機単位にアドレスが割り当てられている。

- 制御部103では、上記保持されたPN符号アドレスの値に基づいて、読み込み時間ダイバシティを構成するためのPNアドレス相対値を計算し、その計算結果を各復調機に対して供給することで、PN符号の読み出し指示を行う。たとえば、サーチ受信機102による信号検索の結果、デジタルデータ復調機1が先行波(パス(1))の追従を行っている場合に、デジタルデータ復調機2に後続のパス(パス(2))を、デジタルデータ復調機3にさらに後続のパス(パス(3))を、それぞれ追従させるためのPNアドレス相対値は、次式のように表現できる。

20
$$r1v2 = mcp2 + lad1 - lad2$$

$$r1v3 = mcp3 + lad1 - lad3$$

- ただし、 $r1v_n$ は復調機が出力するPNアドレス相対値を表し、 lad_n はPNチェック信号の立ち上がりタイミングでラッチしたPN符号アドレスであり、 mcp_n はパス(1)からの遅延量(チップ間隔)であり、 n はパス(復調機)
- 25 の番号である。また、上記式における加減算は、 mod (符号長)の加減算である。

このように、従来の受信機では、先行波および複数の遅延波を追従するために

必要な数の復調機を備え、さらに、復調機単位にPN符号発生器を備え、この構成を用いてマルチパスを独立に復調することで、マルチパス通信環境においてパス間の遅延時間が大きいような場合、または各パス間で遅延時間が異なるような場合、に対応している。

- 5 しかしながら、上記、従来の受信機においては、PN符号発生器が受信しようとするパスに対応する数だけ必要となるため、すなわち、各復調機に1つずつ必要となるため、同一回路を複数搭載することとなり、これに伴って回路規模および消費電力が増大する、という問題があった。

- 10 また、従来の受信機においては、PN符号を予めPN符号ROMに格納しておく必要があるため、符号の変更に対して容易に対応することができない、という問題があった。

- 15 従って、本発明は、マルチパス通信環境において、パス間の遅延時間が大きい場合の逆拡散符号の生成処理、または各パス間で遅延時間が異なる場合の逆拡散符号の生成処理に対して、容易に対応することができ、さらに、回路規模および消費電力の削減を実現し、途中で発生するPN符号の変更に対しても容易に対応可能な受信機、および該受信機における最適な逆拡散符号生成方法、を提供することを目的としている。

発明の開示

- 20 本発明にかかる受信機にあつては、逆拡散符号の発生処理に必要な制御情報と、逆拡散符号の読み出し処理に必要なアドレス情報およびタイミング情報と、を出力する制御手段（後述する実施の形態の制御部3に相当）と、前記制御情報に基づいて逆拡散符号を連続的に発生する逆拡散符号発生手段（原符号発生部1に相当）と、マルチパスの遅延時間に対応したアドレス単位に前記逆拡散符号を格納する符号格納手段（符号蓄積部2に相当）と、前記アドレス情報に基づいて読み出された各パスに対応する逆拡散符号を受け取り、前記タイミング情報に基づいて受け取った逆拡散符号を出力する複数の符号読み出し手段（符号読み出し部4
- 25

に相当) と、受信信号を前記各パスに対応する逆拡散符号を用いて個別に復調する複数の復調手段(復調部 5 に相当) と、前記すべての復調信号を合成する合成手段(シンボル合成部 6 に相当) と、を備えることを特徴とする。

5 つぎの発明にかかる受信機において、前記符号格納手段は、同一チップ区間における逆拡散符号の書き込み処理、および同一チップ区間で蓄積された符号の読み出し処理、を時分割で実施することを特徴とする。

つぎの発明にかかる受信機において、前記逆拡散符号発生手段は、前記制御信号に基づいて一周期分の逆拡散符号を出力後、その動作を停止することを特徴とする。

10 つぎの発明にかかる受信機において、さらに、前記逆拡散符号発生手段は、逆拡散符号を変更する場合に、前記制御信号に基づいて一周期分の新たな逆拡散符号を出力後、その動作を停止することを特徴とする。

つぎの発明にかかる受信機において、さらに、前記符号格納手段は、前記逆拡散符号の書き込み時、1 ビットのシリアルデータを複数ビットのパラレルデータ
15 に変換し(第 1 のビット幅変換部 2 1 に相当)、変換後のパラレルデータを同時に書き込み、その後、読み出し時に、同時に読み出した複数ビットのパラレルデータを 1 ビットのシリアルデータに変換し(第 2 のビット幅変換部 2 2 に相当)、変換後のシリアルデータを順次前記符号読み出し手段に対して出力することを特徴とする。

20 つぎの発明にかかる受信機にあつては、前記符号格納手段、前記符号読み出し手段、および前記復調手段の組み合わせ(第 1 の符号蓄積部 3 2 と第 1 の符号読み出し部 3 4 と第 1 の復調部 3 6 の組み合わせ、および第 2 の符号蓄積部 3 3 と第 2 の符号読み出し部 3 5 と第 2 の復調部 3 7 の組み合わせに相当)を複数備え、さらに、複数の符号格納手段のなかからいずれか 1 つを選択する選択手段(分配
25 部 3 1 に相当)を備え、前記選択された符号格納手段に対して逆拡散符号を格納することを特徴とする。

つぎの発明にかかる受信機にあつては、さらに、前記逆拡散符号発生手段を複

数備え（第1の原符号発生部51a、第2の原符号発生部51bに相当）、前記選択された符号格納手段に対して各逆拡散符号発生手段にて生成された逆拡散符号を格納することを特徴とする。

5 つぎの発明にかかる受信機において、前記逆拡散符号発生手段は、シフトレジスタにおける任意のビット出力の排他的論理和を計算することで、M系列符号を発生する（任意PN符号発生部61に相当）ことを特徴とする。

10 つぎの発明にかかる受信機にあつては、前記逆拡散符号発生手段を複数備え（第1の任意PN発生部61a、第2の任意PN発生部61b、第Nの任意PN発生部61cに相当）、各逆拡散符号発生手段出力の排他的論理和を計算することで、逆拡散符号を発生することを特徴とする。

15 つぎの発明にかかる逆拡散符号生成方法にあつては、逆拡散符号の生成処理に必要な制御情報に基づいて逆拡散符号を連続的に発生する逆拡散符号発生ステップと、マルチパスの遅延時間に対応したアドレス単位に前記逆拡散符号を格納する符号格納ステップと、前記アドレス情報に基づいて読み出された各パスに対応する逆拡散符号を受け取り、所定のタイミング情報に基づいて受け取った逆拡散符号を出力する複数の符号読み出しステップと、を含むことを特徴とする。

20 つぎの発明にかかる逆拡散符号生成方法において、前記符号格納ステップにあつては、同一チップ区間における逆拡散符号の書き込み処理、および同一チップ区間で蓄積された符号の読み出し処理、を時分割で実施することを特徴とする。

つぎの発明にかかる逆拡散符号生成方法において、前記逆拡散符号発生ステップにあつては、前記制御信号に基づいて一周期分の逆拡散符号を出力後、その動作を停止することを特徴とする。

25 つぎの発明にかかる逆拡散符号生成方法において、さらに、前記逆拡散符号発生ステップにあつては、逆拡散符号を変更する場合に、前記制御信号に基づいて一周期分の新たな逆拡散符号を出力後、その動作を停止することを特徴とする。

つぎの発明にかかる逆拡散符号生成方法において、さらに、前記符号格納ステップにあつては、前記逆拡散符号の書き込み時、1ビットのシリアルデータを複

数ビットの平行データに変換し、変換後の平行データを同時に書き込み、その後、読み出し時に、同時に読み出した複数ビットの平行データを1ビットのシリアルデータに変換し、変換後のシリアルデータを順次出力することを特徴とする。

- 5 つぎの発明にかかる逆拡散符号生成方法にあつては、前記符号格納ステップおよび前記符号読み出しステップの一連の工程を複数用意し、さらに、前記複数の工程からいずれか1つの工程を選択する選択ステップを含むことで、各工程単位に逆拡散符号を生成することを特徴とする。

10 図面の簡単な説明

- 第1図は、本発明にかかる受信機の実施の形態1の構成を示す図であり、第2図は、各復調器に対して供給する逆拡散符号のタイミングを示す図であり、第3図は、符号読み出し部の構成および制御部から符号読み出し部へ送信される制御信号を示す図であり、第4図は、符号蓄積部の書き込み／読み出しタイミングおよび符号読み出し部のラッチタイミングを示す図であり、第5図は、原符号発生部の動作タイミングおよび符号蓄積部の書き込み／読み出しの状態を示す図であり、第6図は、途中で逆拡散符号の変更があった場合における、原符号発生部の動作タイミングおよび符号蓄積部の書き込み／読み出しの状態を示す図であり、第7図は、本発明にかかる受信機の実施の形態3の構成を示す図であり、第8図は、符号蓄積部の書き込み／読み出しタイミングおよび符号読み出し部のラッチタイミングを示す図であり、第9図は、本発明にかかる受信機の実施の形態4の構成を示す図であり、第10図は、本発明にかかる受信機の実施の形態5の構成を示す図であり、第11図は、原符号発生部の構成を示す図であり、第12図は、原符号発生部の構成を示す図であり、第13図は、従来の受信機の構成を示す図であり、第14図は、従来のPN符号発生器の構成を示す図である。

発明を実施するための最良の形態

以下に、本発明にかかる受信機および逆拡散符号生成方法の実施の形態を図面に基づいて詳細に説明する。なお、この実施の形態によりこの発明が限定されるものではない。

実施の形態 1.

- 5 第 1 図は、本発明にかかる受信機の実施の形態 1 の構成を示す図である。第 1 図において、1 は原符号発生部であり、2 は符号蓄積部であり、3 は制御部であり、4 は符号読み出し部であり、5 は復調部であり、6 はシンボル合成部である。また、符号読み出し部 4 において、1 1 a は第 1 の読み出し部であり、1 1 b は第 2 の読み出し部であり、1 1 c は第 N (所定のパス数を表す整数) の読み出し部であり、復調部 5 において、1 2 a は第 1 の復調器であり、1 2 b は第 2 の復調器であり、1 2 c は第 N の復調器である。なお、第 1 図における破線は、制御用の信号を示している。

- 15 つぎに、上記受信機の動作概要を説明する。第 1 図に示す受信機では、まず、原符号発生部 1 が、制御部 3 からの制御信号に基づいて受信処理に必要な P N 符号等の逆拡散符号を、連続的に発生する (第 2 図参照)。そして、発生した逆拡散符号は、一旦、符号蓄積部 2 に蓄えられる。

- 20 この状態で、制御部 3 では、各パスの遅延時間に対応したアドレスを符号蓄積部 2 に対して供給する。このとき、符号蓄積部 2 からはこのアドレスに対応した逆拡散符号が読み出され、この逆拡散符号を受け取った符号読み出し部 4 では、所定のタイミングで、その符号を復調部 5 内の各復調器に供給する。第 2 図は、各復調器に対して供給する逆拡散符号のタイミングを示す図である。図示のように、逆拡散符号は、上記発生タイミングを基準タイミングとし、この基準タイミングに各パスに対応する遅延量 D_1 , D_2 , ..., D_n (n は復調器の数を表す) が付加された状態で各復調器に入力される。

- 25 その後、逆拡散符号を受け取った各復調器では、受信信号を、逆拡散符号を用いて復調する。最後に、各復調器から出力された復調信号は、シンボル合成部 6 にて合成され、所望の復調データとなる。

第3図は、符号読み出し部4の構成、および制御部3から符号読み出し部4へ送信される制御信号を示す図である。また、第4図は、符号蓄積部2の書き込み／読み出しタイミング、および符号読み出し部4のラッチタイミングを示す図である。

5 たとえば、符号蓄積部2への書き込み処理、および符号蓄積部2からの読み出し処理は、第4図に示すように時分割で行われる。具体的にいうと、まず、各逆拡散符号の1チップの区間を、書き込みタイミングおよび各読み出しタイミングの個数、すなわち、マルチパスに対応した符号読み出し部の個数+1、に対応した区間に区切る。そして、符号読み出し部4が、第1の読み出し部11aの前段
10 のラッチ部、第2の読み出し部11bの前段のラッチ部、…、第Nの読み出し部11cの前段のラッチ部を用い、制御部3から送信される読み出し用制御信号の立ち上がりタイミングで、順に各パスに対応する逆拡散符号をラッチする。その後、前段のラッチ部にてラッチされたすべての逆拡散符号は、制御部3から送信される各読み出し部共通の出力用制御信号の立ち上がりタイミングでリタイミン
15 グされ、同時に各復調器に対して出力される。

このように、本実施の形態においては、唯一の原符号発生部1により生成された逆拡散符号列を符号蓄積部2に書き込み、その逆拡散符号を制御部3が指示する遅延量に相当するアドレスに基づいて適宜読み出すようにしているため、パス間の遅延時間が大きい場合、または遅延時間の異なる複数の逆拡散符号を発生させるような場合においても、従来のように、複数のPN符号発生器を持たせることなく、複数の復調器に対して所望の逆拡散符号を供給することが可能となる。

また、本実施の形態においては、複数のPN符号発生器を持たせる従来の構成とは異なり、唯一の原符号発生部1により生成された逆拡散符号列を符号蓄積部2に書き込み、その逆拡散符号を制御部3が指示する遅延量に相当するアドレス
25 に基づいて適宜読み出す構成としているため、回路規模および消費電力の削減を実現することが可能となる。

また、本実施の形態においては、逆拡散符号を発生しながら、同一チップ区間

における逆拡散符号の書き込み処理、および同一チップ区間で蓄積された符号の読み出し処理、を時分割で実施するため、一旦、すべての符号を書き込み、その後、順次読み出しを行う従来技術と比較して、逆拡散符号の発生から各復調器に供給するまでの遅延時間を、大幅に短縮することが可能となる。

5 実施の形態 2.

第5図は、原符号発生部1の動作タイミング、および符号蓄積部2の書き込み／読み出しの状態を示す図である。なお、本実施の形態の受信機については、前述の実施の形態1と同様の構成であるため、同一の符号を付してその説明を省略する。

- 10 本実施の形態では、原符号発生部1が、制御部3から送信される制御信号にしたがって一周期分の逆拡散符号を出力後、その動作を休止する。また、符号蓄積部2への書き込み処理は、出力中の逆拡散符号の1周期分で行う。

- 15 第6図は、途中で逆拡散符号の変更があった場合における、原符号発生部1の動作タイミング、および符号蓄積部2の書き込み／読み出しの状態を示す図である。途中で逆拡散符号を変更するような場合においても、上記同様、変更するタイミングから1周期分だけ原符号発生部1を動作させ、この間に符号蓄積部2への書き込み処理を行う。

- 20 このように、本実施の形態においては、逆拡散符号の1周期分に相当する時間分だけ原符号発生部1を動作させ、この間に符号蓄積部2への書き込みを行うように制御することで、消費電力を大幅に低減することが可能となる。また、上記と同様の制御を行うことで、途中で逆拡散符号を変更するような場合においても、容易に対応することが可能となる。

実施の形態 3.

- 25 第7図は、本発明にかかる受信機の実施の形態3の構成を示す図である。第7図において、21は1ビットのシリアルデータから複数ビットの平行データへの変換を行う第1のビット幅変換部であり、22は複数ビットの平行データから1ビットのシリアルデータへの変換を行う第2のビット幅変換部である。

なお、前述した実施の形態 1 と同様の構成については、同一の符号を付してその説明を省略する。

たとえば、前述の実施の形態 1 においては、符号蓄積部 2 に対して時分割で 1 ビットずつ逆拡散符号を書き込み、その後、蓄積された符号を 1 ビットずつ読み
5 出すようにしているが、本実施の形態では、書き込み時に、1 ビットのシリアルデータから複数ビットの平行データにビット幅の変換を行い、変換後の平行データを同時に書き込み、その後の読み出し時に、同時に読み出した複数ビットの平行データから 1 ビットのシリアルデータにビット幅の変換を行い、変換後のシリアルデータを順次符号読み出し部 4 に対して出力する。

10 第 8 図は、符号蓄積部 2 の書き込み／読み出しタイミング、および符号読み出し部 2 のラッチタイミングを示す図である。本実施の形態においては、まず、各逆拡散符号の x （任意の整数）チップの区間を、書き込みタイミングおよび各読み出しタイミングの個数、すなわち、マルチパスに対応した符号読み出し部の個数 + 1、に対応した区間に区切る。そして、符号読み出し部 4 が、第 1 の読み出し部 1 1 a の前段のラッチ部、第 2 の読み出し部 1 1 b の前段のラッチ部、…、
15 第 N の読み出し部 1 1 c の前段のラッチ部を用い、制御部 3 から送信される読み出し用制御信号の立ち上がりタイミングで、順に各パスに対応する逆拡散符号をラッチする。その後、前段のラッチ部にてラッチされたすべての逆拡散符号は、制御部 3 から送信される各読み出し部共通の出力用制御信号の立ち上がりタイミングでリタイミングされ、同時に各復調器に対して出力される。
20

このように、本実施の形態においては、書き込み時に、1 ビットのシリアルデータから複数ビットの平行データにビット幅の変換を行い、変換後の平行データを同時に書き込み、その後の読み出し時に、同時に読み出した複数ビットの平行データから 1 ビットのシリアルデータにビット幅の変換を行い、変換後のシリアルデータを順次符号読み出し部 4 に対して出力する構成とすることで、書き込み処理時に必要な動作クロックの速度を抑えることができる。また、動作クロックの速度を抑えることにより、さらに、消費電力を低減することも可
25

能となる。

実施の形態 4.

第 9 図は、本発明にかかる受信機の実施の形態 4 の構成を示す図である。第 9 図において、31 は分配部であり、32 は第 1 の符号蓄積部であり、33 は第 2 の符号蓄積部であり、34 は第 1 の符号読み出し部であり、35 は第 2 の符号読み出し部であり、36 は第 1 の復調部であり、37 は第 2 の復調部である。なお、前述した実施の形態 1 と同様の構成については、同一の符号を付してその説明を省略する。また、第 1 の符号読み出し部 34 および第 2 の符号読み出し部 35 の内部構成については、前述の符号読み出し部 4 の内部構成と同様である。

前述の実施の形態 1 においては、1 つの原符号発生部 1 に対して、それぞれ 1 つの符号蓄積部 2、符号読み出し部 4、および復調部 5 を備えていたが、本実施の形態では、分配部 31 が、制御部 3 からの制御信号に基づいて、複数の符号蓄積部のなかからいずれか 1 つを選択し、その後、原符号発生部 1 で発生する逆拡散符号を書き込む。

このように、本実施の形態においては、1 つの原符号発生部に対して、複数の符号蓄積部を備え、逆拡散符号を制御部 3 の指示で任意の符号蓄積部に格納する構成とするため、1 つの符号発生器で複数の種類の逆拡散符号に対応することが可能となる。なお、本実施の形態では、1 つの原符号発生部に対して、それぞれ 2 つの符号蓄積部、符号読み出し部、復調部を備えることとしているが、これに限らず、たとえば、逆拡散符号の種類にあわせて、3 つ以上の構成を備えることとしてもよい。

実施の形態 5.

第 10 図は、本発明にかかる受信機の実施の形態 5 の構成を示す図である。第 10 図において、41 は割当部であり、51a は第 1 の原符号発生部であり、51b は第 2 の原符号発生部であり、52a は第 1 のセレクタであり、52b は第 2 のセレクタであり、52c は第 N のセレクタであり、53a は第 1 の蓄積部であり、53b は第 2 の蓄積部であり、53c は第 N の蓄積部である。なお、前述

した実施の形態 1 と同様の構成については、同一の符号を付してその説明を省略する。

前述の実施の形態 5 においては、1 つの原符号発生部 1 に対して、それぞれ複数の符号蓄積部、符号読み出し部、および復調部を備えていたが、本実施の形態
5 5 では、複数の原符号発生部を備え、割当部 4 1 が、制御部 3 からの制御信号に基づいて、複数の蓄積部のなかからいずれか 1 つを選択し、選択した蓄積部に対して、各原符号発生部にて生成される逆拡散符号を出力する。

このように、本実施の形態においては、複数の原符号発生部と複数の符号蓄積部とを備え、各原符号発生部の出力をどの符号蓄積部に接続するかを選択できる
10 構成にすることで、複数の種類の逆拡散符号に容易に対応することが可能となるとともに、さらに、同時に複数の逆拡散符号を変更するような場合においても、その変更に要する時間を大幅に短縮することが可能となる。なお、本実施の形態では、2 つの原符号発生部を備えることとしたが、これに限らず、たとえば、逆
15 拡散符号の種類および変更時の要求時間にあわせて、3 つ以上の原符号発生部を備えることとしてもよい。

実施の形態 6.

第 1 1 図は、前述した実施の形態 1 ～ 5 に示す原符号発生部の構成を示す図である。第 1 1 図において、6 1 は任意 P N 符号発生部であり、6 2 はシフトレジスタ部であり、6 3 はマスク部であり、6 4 は加算部である。

上記原符号発生部 1 の任意 P N 符号発生部 6 1 においては、シフトレジスタ部 6 2 の所定のビット位置から得られる出力に対して、加算部 6 4 が排他的論理和を求め、その計算結果をシフトレジスタ部 6 2 の最上位ビットに入力し、これを
20 繰り返すことで、順次、P N 符号 (M 系列符号) を得る。なお、ビット位置については、P N 符号の生成多項式に対応する。

具体的にいうと、シフトレジスタ部 6 2 内の各 D - F F の出力に対して、マスク部 6 3 が、AND ゲートを用いて生成多項式に対応したマスクをかけ、その後、加算部 6 4 が、各マスク出力の排他的論理和を計算し、その計算結果をシフトレ

ジスタ部62のD-FF(n)に戻すことで、順次、任意のPN符号を生成する。たとえば、生成多項式が $X^25 + X^3 + 1$ の場合には、 $n = 24$ とし、かつマスク部63のANDゲート#(3)、 #(0)に供給する生成多項式パターンを“1”とすることで、加算部64が、D-FF(3)、 D-FF(0)出力の排他的論理和を求め、この計算結果をD-FF(24)に入力することを繰り返し、シフトレジスタ部62が、順次、任意のPN符号を生成する。そして、本実施の形態においては、選択部65を用いて、任意のD-FFの出力を選択できるようにすることで、たとえば、シフトレジスタの段数以下の生成多項式についても対応する。

10 一方、第12図は、上記第11図とは異なる原符号発生部の構成を示す図である。第12図において、61aは第1の任意PN符号発生部であり、61bは第2の任意PN符号発生部であり、61cは第Nの任意PN符号発生部であり、71は加算部である。第12図に示す原符号発生部1においては、任意PN符号発生部を複数個備え、それぞれの出力の排他的論理和を計算することで、逆拡散符号を生成する。

15 このように、本実施の形態においては、原符号発生部1に、上記第11図に示す構成を備えることで、任意の生成多項式のPN符号が生成可能となり、さらに、生成多項式の変更に容易に対応可能となる。また、原符号発生部1に、上記第12図に示す構成を備えることで、ゴールド符号等の多様な符号を生成することが可能となる。

20 以上、説明したとおり、本発明によれば、唯一の逆拡散符号発生手段により生成された逆拡散符号列を符号格納手段に書き込み、その逆拡散符号を、制御手段が指示する遅延量に相当するアドレスに基づいて適宜読み出すようにしているため、パス間の遅延時間が大きい場合、または遅延時間の異なる複数の逆拡散符号を発生させるような場合においても、従来のように、複数のPN符号発生器を持たせることなく、複数の復調手段に対して所望の逆拡散符号を供給することが可能な受信機を得ることができる、という効果を奏する。また、複数のPN符号発

生器を持たせる従来の構成とは異なり、唯一の逆拡散符号発生手段により生成された逆拡散符号列を符号格納手段に書き込み、その逆拡散符号を、制御手段が指示する遅延量に相当するアドレスに基づいて適宜読み出す構成としているため、回路規模および消費電力の削減を実現することが可能な受信機を得ることができる、という効果を奏する。

つぎの発明によれば、同一チップ区間における逆拡散符号の書き込み処理、および同一チップ区間で蓄積された符号の読み出し処理、を時分割で実施するため、一旦、すべての符号を書き込み、その後、順次読み出しを行う従来技術と比較して、逆拡散符号の発生から各復調手段に供給するまでの遅延時間を、大幅に短縮することが可能な受信機を得ることができる、という効果を奏する。

つぎの発明によれば、逆拡散符号の1周期分に相当する時間分だけ逆拡散符号発生手段を動作させ、この間に符号格納手段への書き込み処理を行うため、消費電力を大幅に低減することが可能な受信機を得ることができる、という効果を奏する。

つぎの発明によれば、途中で逆拡散符号を変更するような場合においても、容易に対応することが可能な受信機を得ることができる、という効果を奏する。

つぎの発明によれば、書き込み時に、1ビットのシリアルデータを複数ビットの平行データに変換し、変換後の平行データを同時に書き込み、その後の読み出し時に、同時に読み出した複数ビットの平行データを1ビットのシリアルデータに変換し、変換後のシリアルデータを順次符号読み出し手段に対して出力する構成とするため、書き込み処理時に必要な動作クロックの速度を抑えることが可能な受信機を得ることができる、という効果を奏する。また、動作クロックの速度を抑えることにより、さらに、消費電力を低減することが可能な受信機を得ることができる、という効果を奏する。

つぎの発明によれば、1つの逆拡散符号発生手段に対して、複数の符号格納手段を備え、逆拡散符号を制御手段の指示で任意の符号格納手段に格納する構成とするため、1つの逆拡散符号発生手段で複数の種類の逆拡散符号に対応すること

が可能な受信機を得ることができる、という効果を奏する。

つぎの発明によれば、複数の逆拡散符号発生手段と複数の符号格納手段とを備え、各逆拡散符号発生手段の出力をどの符号格納手段に接続するかを選択できる構成にすることで、複数の種類の逆拡散符号に容易に対応することが可能となる
5 とともに、さらに、同時に複数の逆拡散符号を変更するような場合においても、その変更に必要な時間を大幅に短縮することが可能な受信機を得ることができる、という効果を奏する。

つぎの発明によれば、任意の生成多項式のPN符号が生成可能となり、さらに、生成多項式の変更に容易に対応可能な受信機を得ることができる、という効果を
10 奏する。

つぎの発明によれば、ゴールド符号等の多様な符号を生成することが可能な受信機を得ることができる、という効果を奏する。

つぎの発明によれば、逆拡散符号発生ステップにより生成された逆拡散符号列を格納し、その逆拡散符号を、遅延量に相当するアドレスに基づいて適宜読み出すようにしているため、パス間の遅延時間が大きい場合、または遅延時間の異なる
15 複数の逆拡散符号を発生させるような場合においても、従来のように、複数のPN符号発生器を持たせることなく、所望の逆拡散符号を生成できる、という効果を奏する。

つぎの発明によれば、同一チップ区間における逆拡散符号の書き込み処理、および同一チップ区間で蓄積された符号の読み出し処理、を時分割で実施するため、
20 一旦、すべての符号を書き込み、その後、順次読み出しを行う従来技術と比較して、逆拡散符号の発生から供給までの遅延時間を大幅に短縮できる、という効果を奏する。

つぎの発明によれば、逆拡散符号の1周期分に相当する時間だけ逆拡散符号発生ステップを実施し、この間に逆拡散符号の書き込み処理を行うため、従来と比較して消費電力を大幅に低減できる、という効果を奏する
25

つぎの発明によれば、途中で逆拡散符号を変更するような場合においても、容

易に逆拡散符号の変更処理を実施できる、という効果を奏する。

つぎの発明によれば、書き込み時に、1ビットのシリアルデータを複数ビットの
5 の平行データに変換し、変換後の平行データを同時に書き込み、その後の
読み出し時に、同時に読み出した複数ビットの平行データを1ビットのシ
リアルデータに変換し、変換後のシリアルデータを順次出力するため、書き込み
10 処理時に必要な動作クロックの速度を抑えることができる、という効果を奏する。

つぎの発明によれば、符号格納ステップおよび符号読み出しステップの一連の
工程を複数用意し、さらに、前記複数の工程からいずれか1つの工程を選択する
10 選択ステップを含むことで、逆拡散符号を、任意の符号格納部に格納できるよう
になるため、容易に複数の種類の逆拡散符号を生成できる、という効果を奏する。

産業上の利用可能性

以上のように、本発明にかかる受信機および逆拡散符号生成方法は、通信方式
として、SS（スペクトル拡散）方式およびCDMA（符号分割多元接続）方式
15 を採用する受信機に有用であり、マルチパス通信環境において、パス間の遅延時
間が大きい場合または各パス間で遅延時間が異なる場合の、逆拡散符号の生成に
適している。

請 求 の 範 囲

1. 逆拡散符号の発生処理に必要な制御情報と、逆拡散符号の読み出し処理に必要なアドレス情報およびタイミング情報と、を出力する制御手段と、
- 5 前記制御情報に基づいて逆拡散符号を連続的に発生する逆拡散符号発生手段と、マルチパスの遅延時間に対応したアドレス単位に前記逆拡散符号を格納する符号格納手段と、
前記アドレス情報に基づいて読み出された各パスに対応する逆拡散符号を受け取り、前記タイミング情報に基づいて受け取った逆拡散符号を出力する複数の符号読み出し手段と、
10 受信信号を前記各パスに対応する逆拡散符号を用いて個別に復調する複数の復調手段と、
前記すべての復調信号を合成する合成手段と、
を備えることを特徴とする受信機。
- 15 2. 前記符号格納手段は、同一チップ区間における逆拡散符号の書き込み処理、および同一チップ区間で蓄積された符号の読み出し処理、を時分割で実施することを特徴とする請求の範囲第1項に記載の受信機。
- 20 3. 前記逆拡散符号発生手段は、前記制御信号に基づいて一周期分の逆拡散符号を出力後、その動作を停止することを特徴とする請求の範囲第1項に記載の受信機。
- 25 4. さらに、前記逆拡散符号発生手段は、逆拡散符号を変更する場合に、前記制御信号に基づいて一周期分の新たな逆拡散符号を出力後、その動作を停止することを特徴とする請求の範囲第3項に記載の受信機。

5. さらに、前記符号格納手段は、前記逆拡散符号の書き込み時、1ビットのシリアルデータを複数ビットの平行データに変換し、変換後の平行データを同時に書き込み、その後、読み出し時に、同時に読み出した複数ビットの平行データを1ビットのシリアルデータに変換し、変換後のシリアルデータを
5 順次前記符号読み出し手段に対して出力することを特徴とする請求の範囲第1項に記載の受信機。

6. 前記符号格納手段、前記符号読み出し手段、および前記復調手段の組み合わせを複数備え、さらに、複数の符号格納手段のなかからいずれか1つを選択する
10 選択手段を備え、
前記選択された符号格納手段に対して逆拡散符号を格納することを特徴とする請求の範囲第1項に記載の受信機。

7. さらに、前記逆拡散符号発生手段を複数備え、
15 前記選択された符号格納手段に対して各逆拡散符号発生手段にて生成された逆拡散符号を格納することを特徴とする請求の範囲第6項に記載の受信機。

8. 前記逆拡散符号発生手段は、シフトレジスタにおける任意のビット出力の排他的論理和を計算することで、M系列符号を発生することを特徴とする請求の
20 範囲第1項に記載の受信機。

9. 前記逆拡散符号発生手段を複数備え、各逆拡散符号発生手段出力の排他的論理和を計算することで、逆拡散符号を発生することを特徴とする請求の範囲第8項に記載の受信機。

25

10. マルチパス通信環境における受信信号を各パスに対応する逆拡散符号を用いて個別に復調する受信機の、逆拡散符号生成方法において、

逆拡散符号の生成処理に必要な制御情報に基づいて逆拡散符号を連続的に発生する逆拡散符号発生ステップと、

マルチパスの遅延時間に対応したアドレス単位に前記逆拡散符号を格納する符号格納ステップと、

- 5 前記アドレス情報に基づいて読み出された各パスに対応する逆拡散符号を受け取り、所定のタイミング情報に基づいて受け取った逆拡散符号を出力する複数の符号読み出しステップと、

を含むことを特徴とする逆拡散符号生成方法。

- 10 1 1. 前記符号格納ステップにあつては、同一チップ区間における逆拡散符号の書き込み処理、および同一チップ区間で蓄積された符号の読み出し処理、を時分割で実施することを特徴とする請求の範囲第 1 0 項に記載の逆拡散符号生成方法。

- 15 1 2. 前記逆拡散符号発生ステップにあつては、前記制御信号に基づいて一周期の逆拡散符号を出力後、その動作を停止することを特徴とする請求の範囲第 1 0 項に記載の逆拡散符号生成方法。

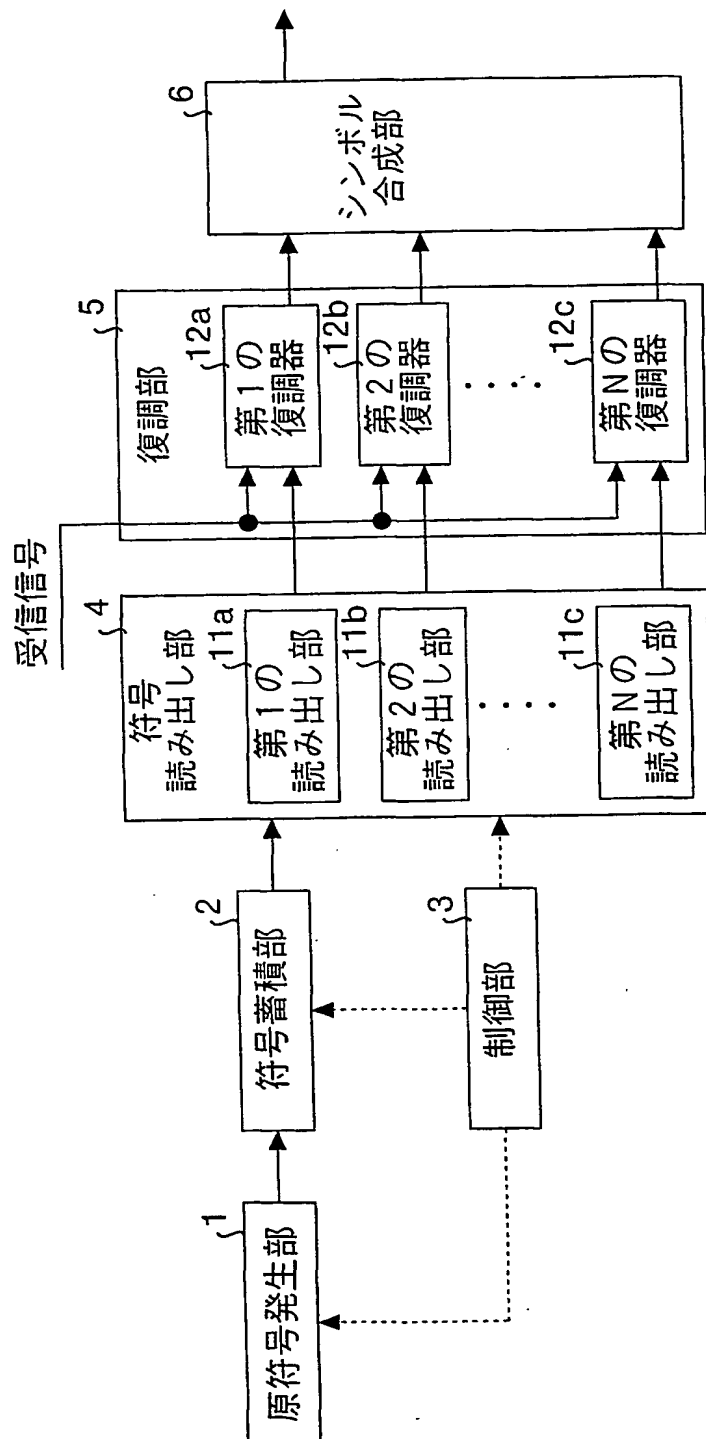
- 20 1 3. さらに、前記逆拡散符号発生ステップにあつては、逆拡散符号を変更する場合に、前記制御信号に基づいて一周期分の新たな逆拡散符号を出力後、その動作を停止することを特徴とする請求の範囲第 1 2 項に記載の逆拡散符号生成方法。

- 25 1 4. さらに、前記符号格納ステップにあつては、前記逆拡散符号の書き込み時、1 ビットのシリアルデータを複数ビットの平行データに変換し、変換後の平行データを同時に書き込み、その後、読み出し時に、同時に読み出した複数ビットの平行データを 1 ビットのシリアルデータに変換し、変換後のシ

リアルデータを順次出力することを特徴とする請求の範囲第 10 項に記載の逆拡散符号生成方法。

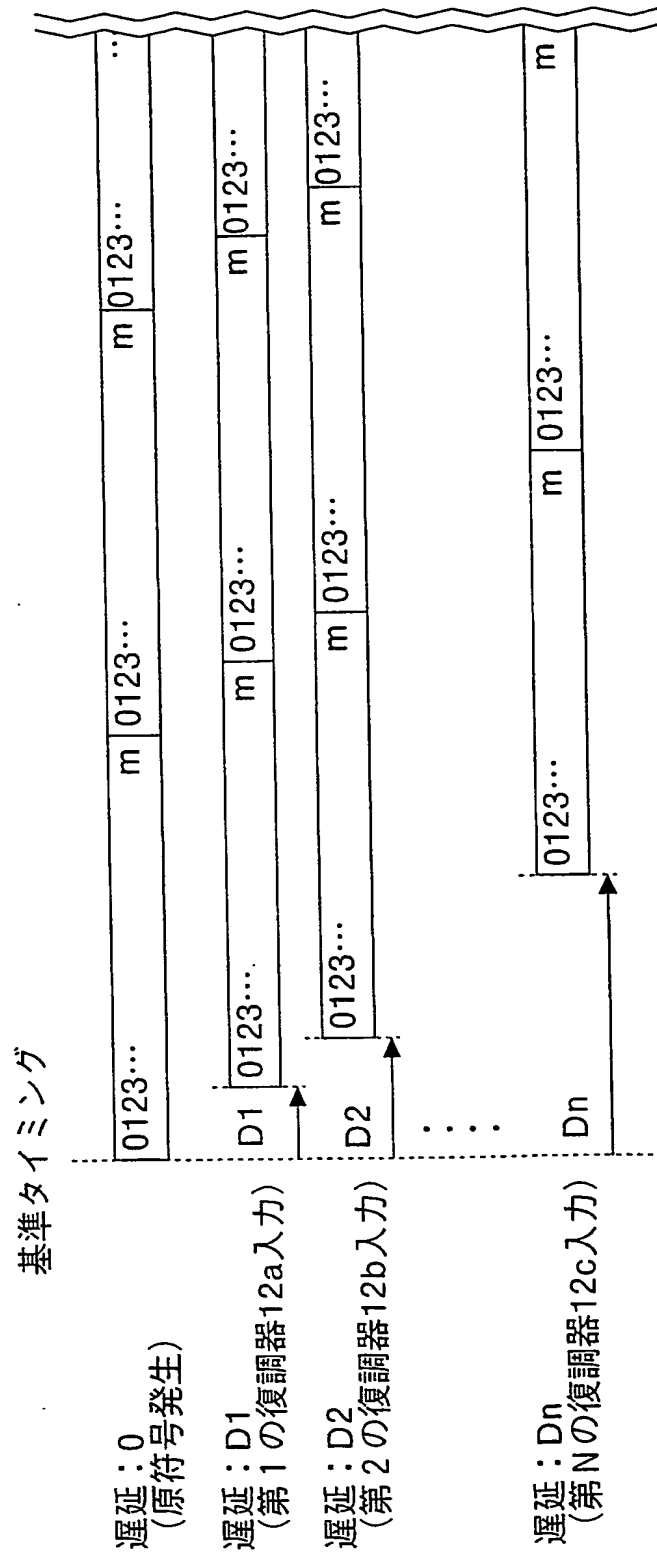
15. 前記符号格納ステップおよび前記符号読み出しステップの一連の工程を
5 複数用意し、さらに、前記複数の工程からいずれか 1 つの工程を選択する選択ステップを含むことで、各工程単位に逆拡散符号を生成することを特徴とする請求の範囲第 10 項に記載の逆拡散符号生成方法。

第1図



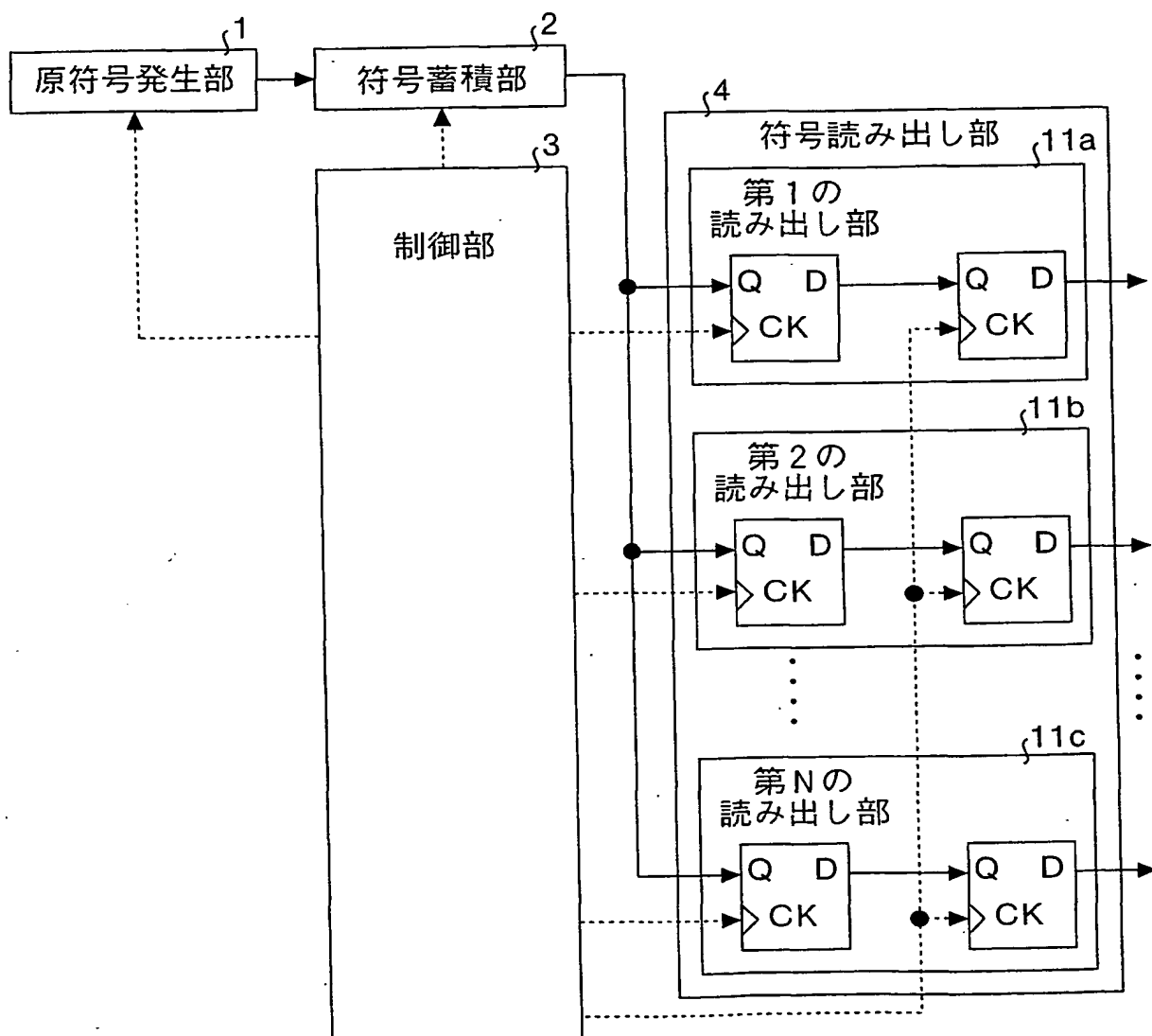
THIS PAGE BLANK (USPTO)

第2図



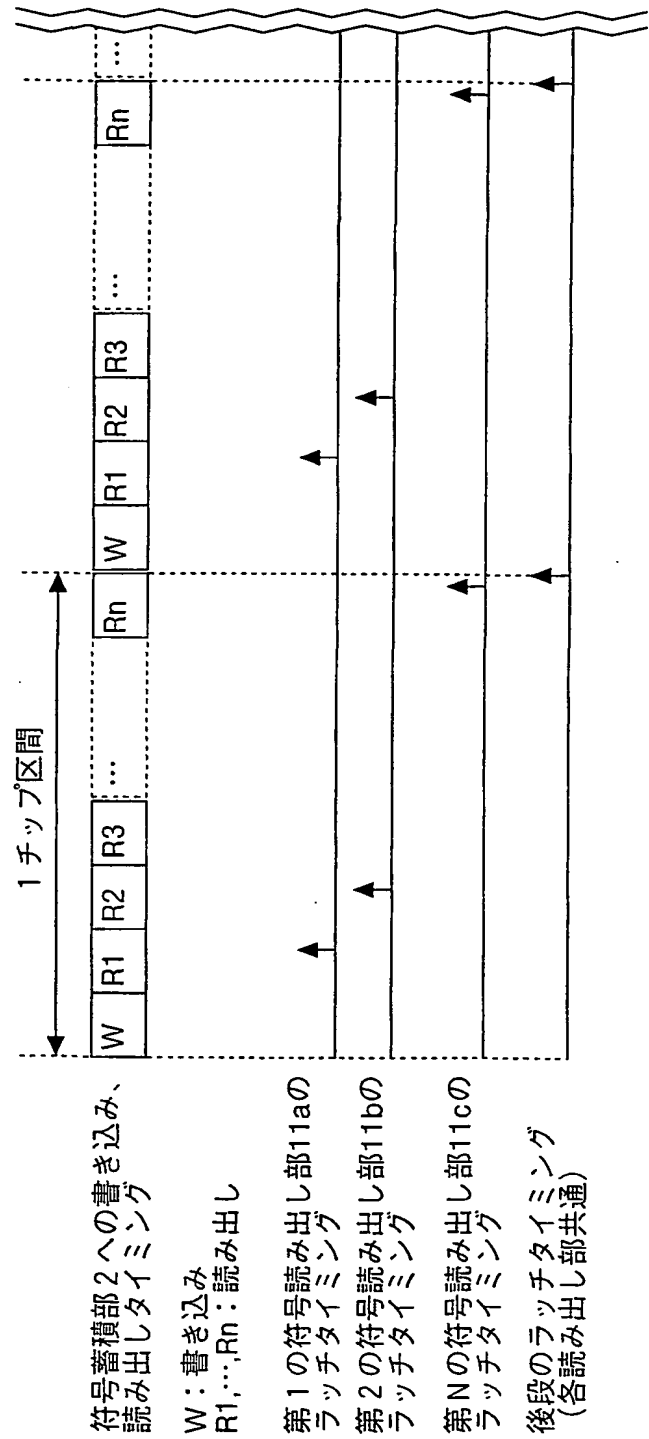
THIS PAGE BLANK (USPTO)

第3図



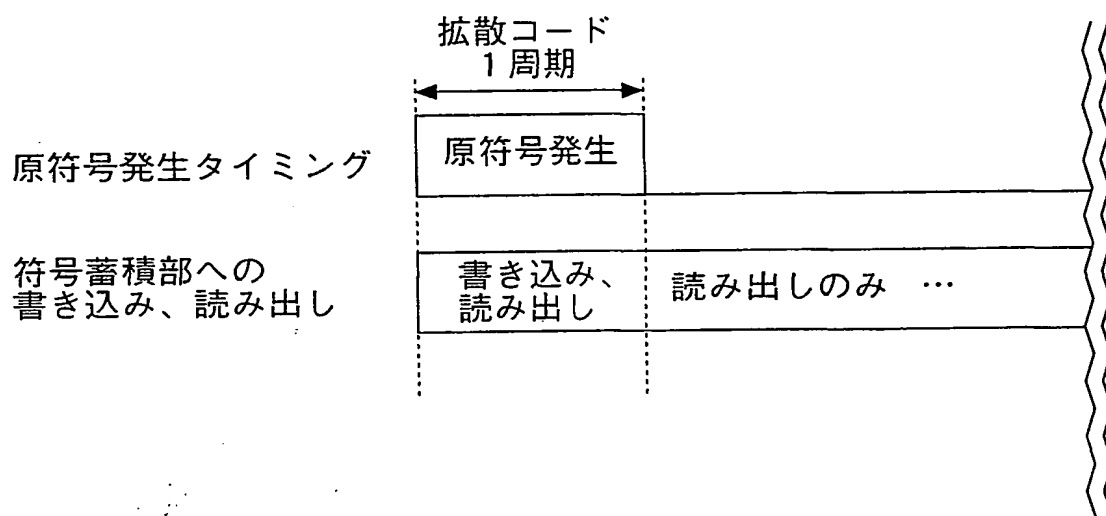
THIS PAGE BLANK (USPTO)

第4図



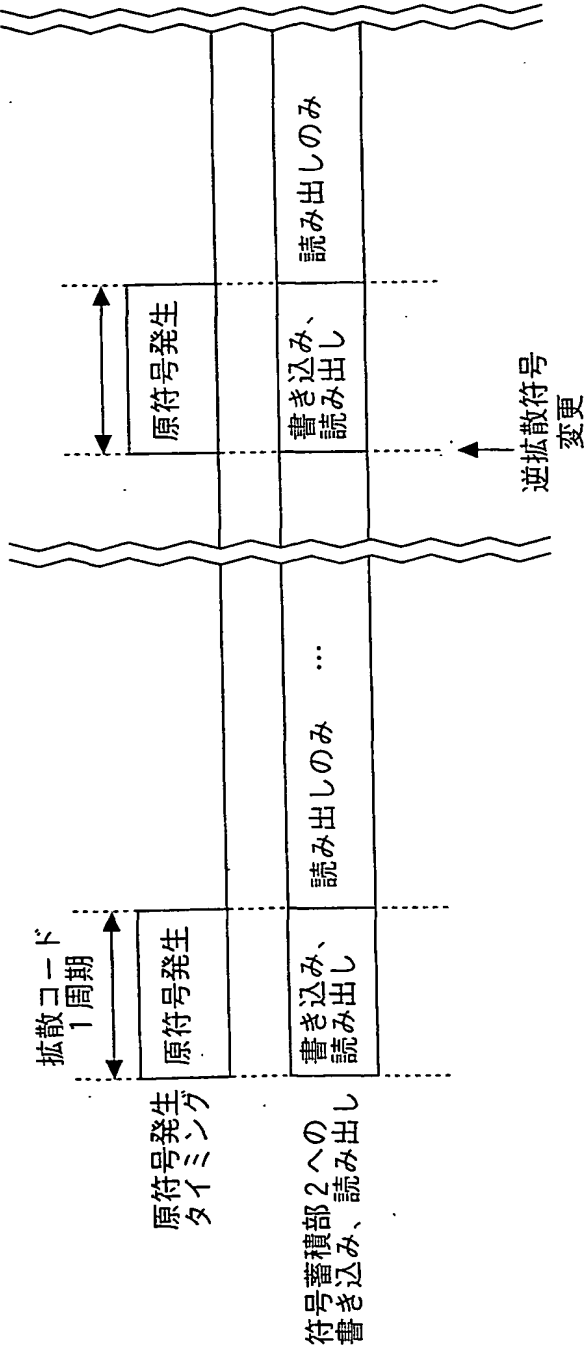
THIS PAGE BLANK (USPTO)

第5図



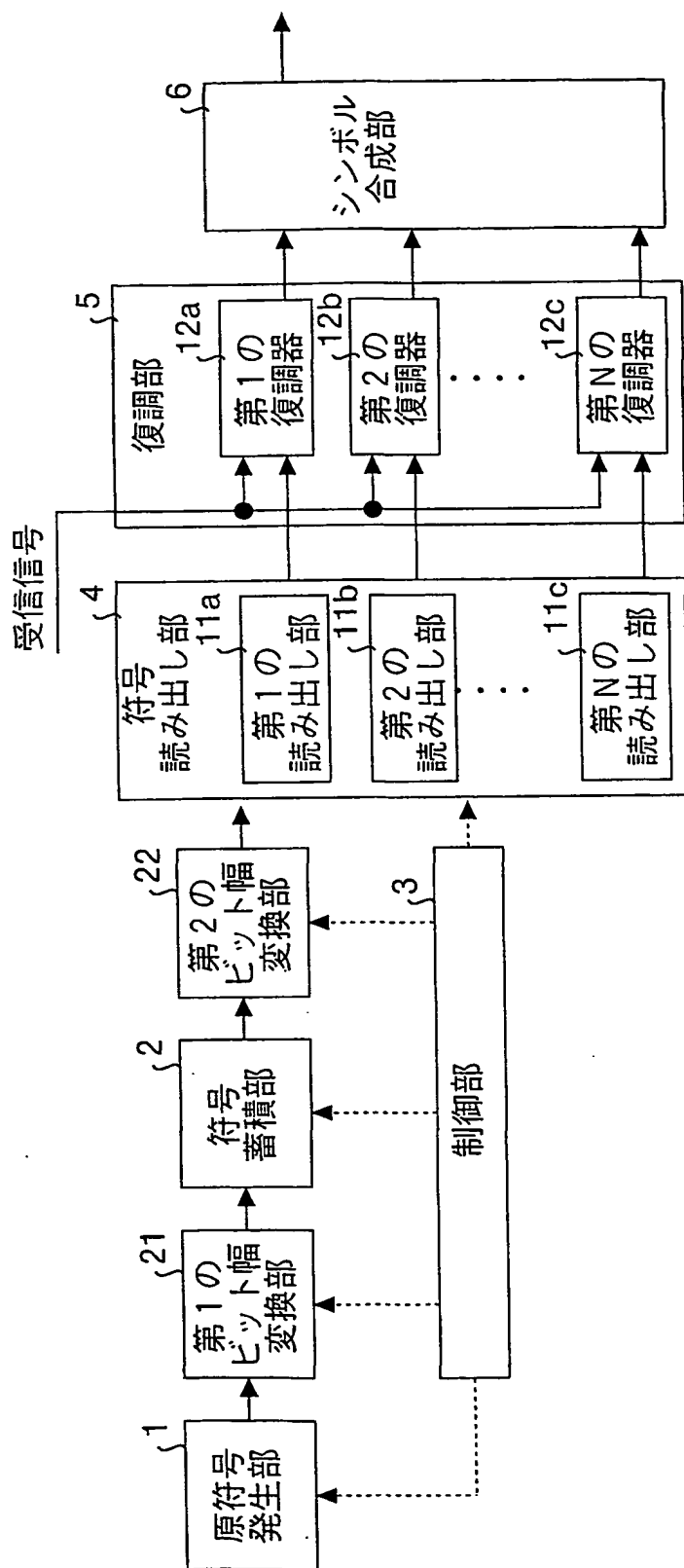
THIS PAGE BLANK (USPTO)

第6図



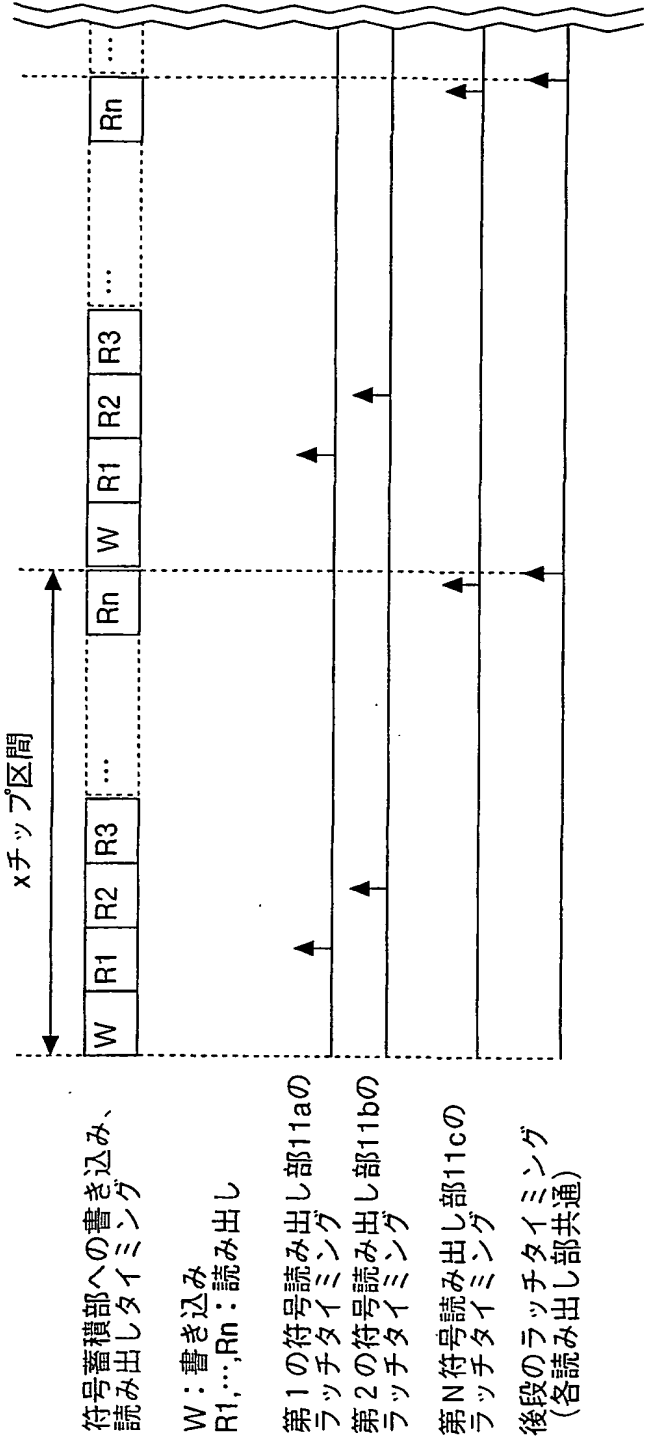
THIS PAGE BLANK (USPTO)

第7図



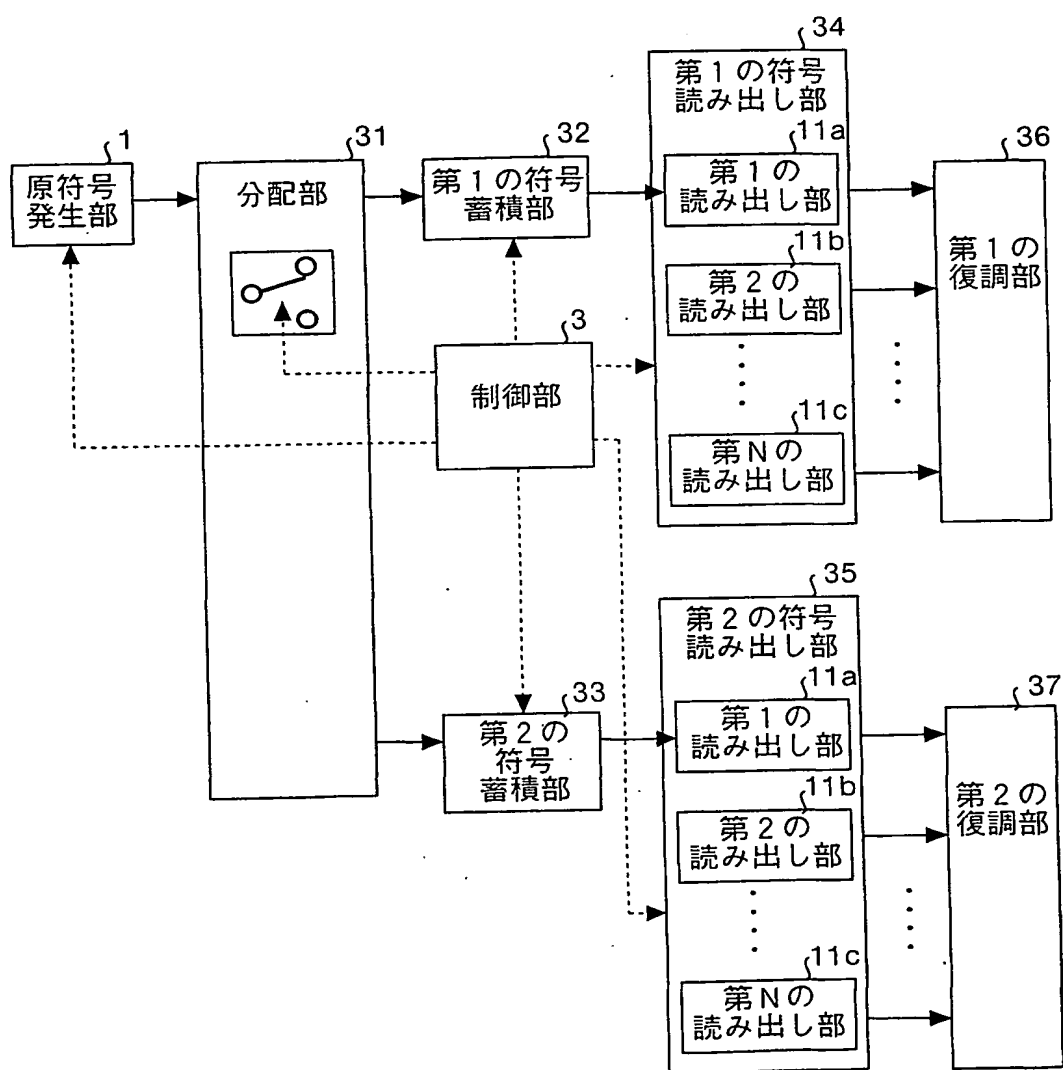
THIS PAGE BLANK (USPTO)

第8図



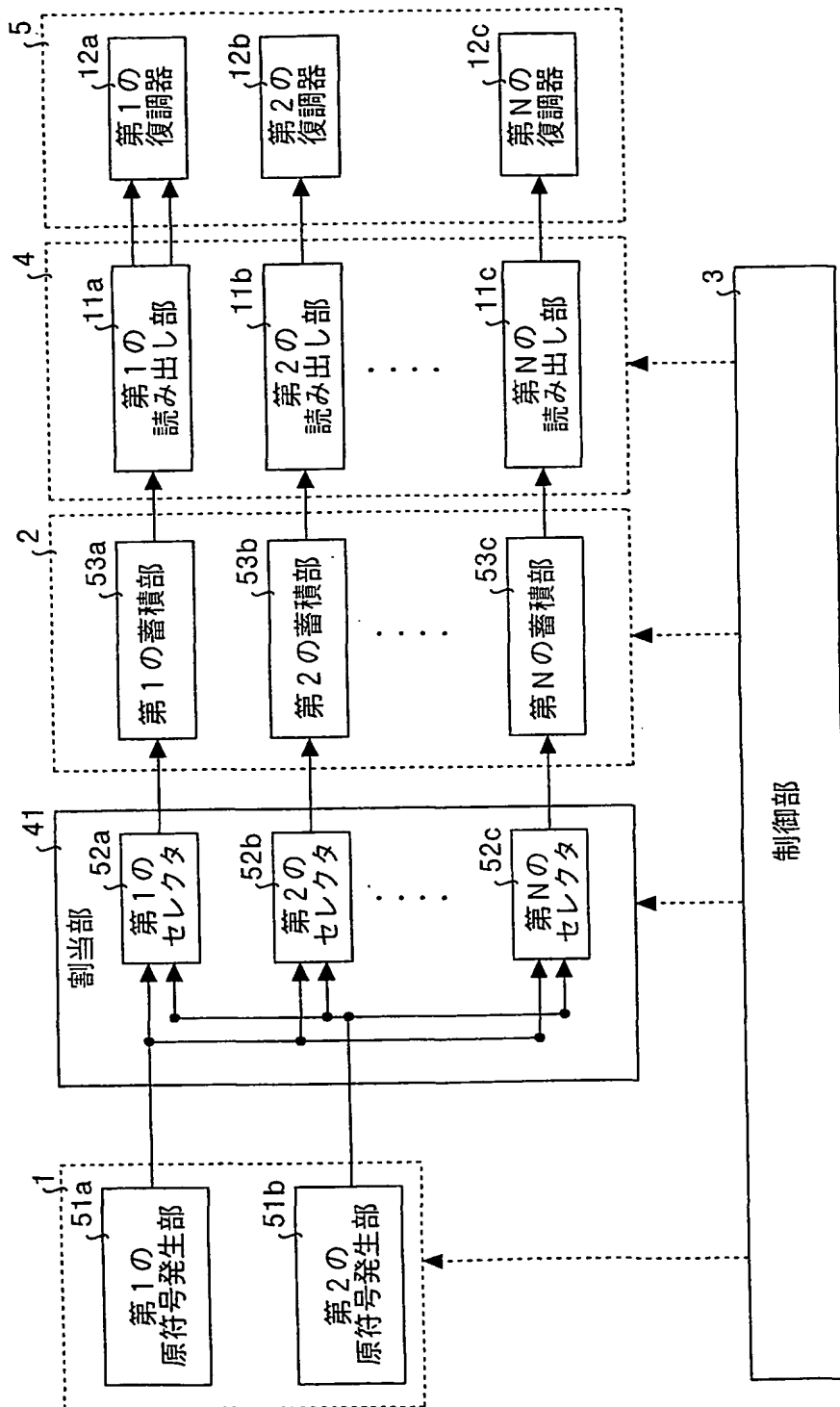
PAGE BLANK (USPTO)

第9図



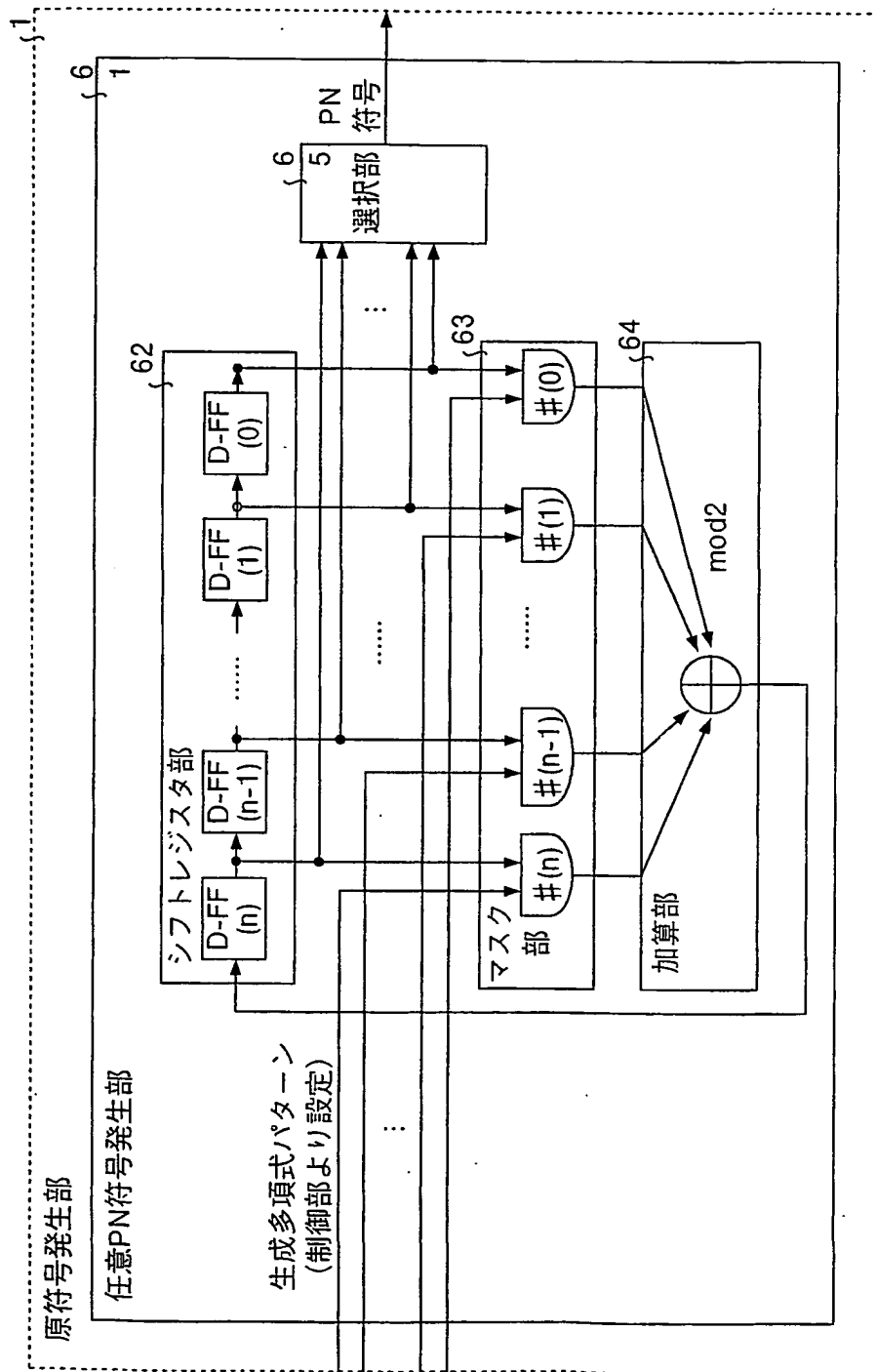
THIS PAGE BLANK (USPTO)

第10図



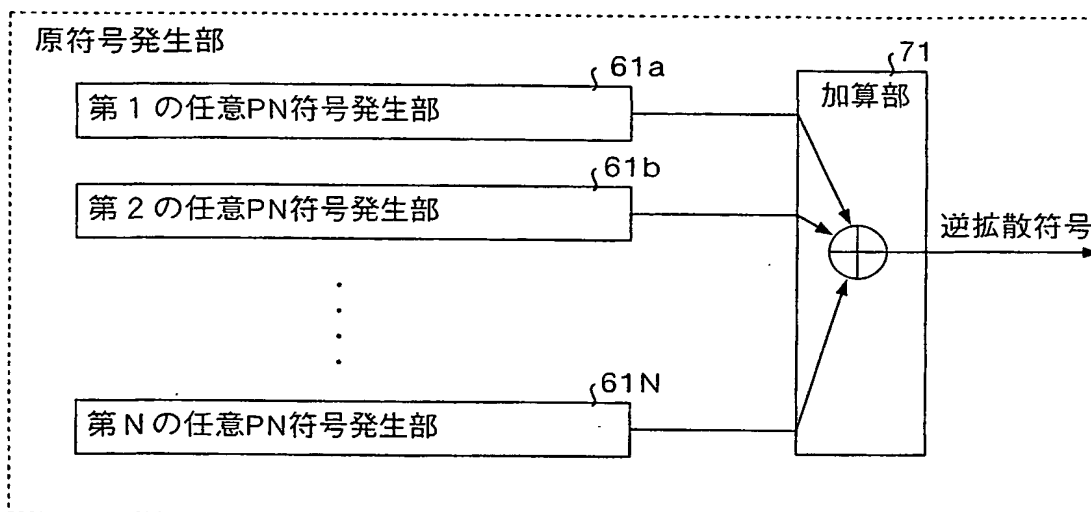
THIS PAGE BLANK (USPTO)

第11図



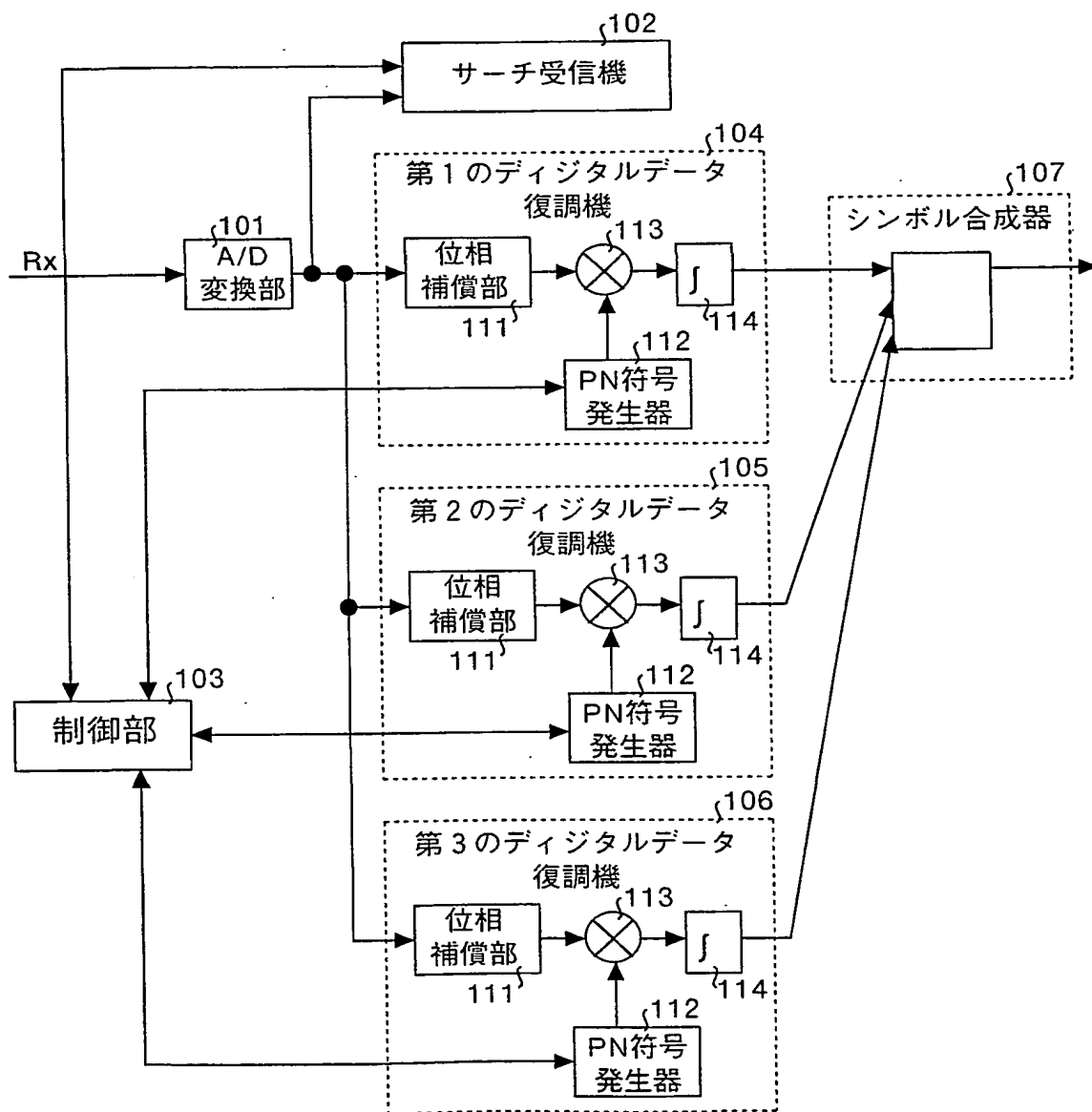
THIS PAGE BLANK (USPTO)

第12図



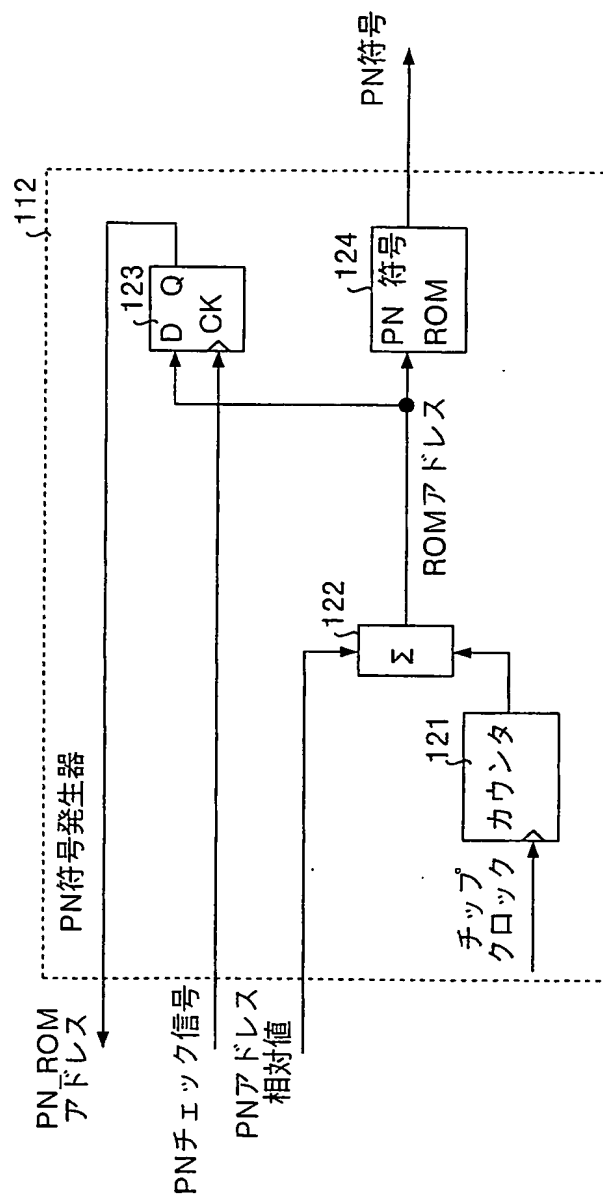
THIS PAGE BLANK (USPTO)

第13図



THIS PAGE BLANK (USPTO)

第14図



THIS PAGE BLANK (USPTO)

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP01/03950

A. CLASSIFICATION OF SUBJECT MATTER
Int. Cl.⁷ H04J13/04

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl.⁷ H04J13/00-13/06, H04B1/707-1/713

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1926-1996	Toroku Jitsuyo Shinan Koho	1994-2001
Kokai Jitsuyo Shinan Koho	1971-2001	Jitsuyo Shinan Toroku Koho	1996-2001

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

JOIS

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
P, X	JP 2000-349681 A (NEC Corporation), 15 December, 2000 (15.12.00), column 3, line 24 to column 6, line 46; Figs. 2 to 4 (Family: none)	1-2, 10-11
P, A		3-9, 12-15
A	JP 9-55715 A (Toshiba Corporation), 25 February, 1997 (25.02.97), column 9, line 5 to column 10, line 22; Figs. 7 to 8 & US 5940432 A	1-15
A	JP 9-511893 A (Nokia Telecommunications OY), 25 November, 1997 (25.11.97), page 11, line 23 to page 12, line 6; page 14, lines 9 to 24; Fig. 6 & WO 96/24998 A & EP 808536 A1 & US 5963348 A	1-15
A	JP 9-36778 A (Oki Electric Industry Co., Ltd.), 07 February, 1997 (07.02.97), Full text; all drawings (Family: none)	1-15

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to
"A" document defining the general state of the art which is not considered to be of particular relevance	understand the principle or theory underlying the invention
"E" earlier document but published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"O" document referring to an oral disclosure, use, exhibition or other means	"&" document member of the same patent family
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
07 August, 2001 (07.08.01)

Date of mailing of the international search report
21 August, 2001 (21.08.01)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP01/03950

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 10-107594 A (Oki Electric Industry Co., Ltd.), 24 April, 1998 (24.04.98), Full text; all drawings (Family: none)	1-15

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. cl⁷ H04J13/04

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. cl⁷ H04J13/00-13/06, H04B1/707-1/713

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996

日本国公開実用新案公報 1971-2001

日本国登録実用新案公報 1994-2001

日本国実用新案登録公報 1996-2001

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

JOIS

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
P, X	JP 2000-349681 A (日本電気株式会社)15.12月.2000(15.12.00) 第3欄第24行~第6欄第46行、第2~4図	1-2, 10-11
P, A	(ファミリーなし)	3-9, 12-15
A	JP 9-55715 A (株式会社東芝)25.2月.1997(25.02.97) 第9欄第5行~第10欄第22行、第7~8図 & US 5940432 A	1-15

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

、の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

07.08.01

国際調査報告の発送日

21.08.01

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

伏本正典

5K

9372

電話番号 03-3581-1101 内線 3556

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 9-511893 A (ノキアテレコミュニケーションズオサケユキチュア) 25.11月.1997(25.11.97) 第11頁第23行～第12頁第6行、第14頁第9～24行、第6 図 & WO 96/24998 A & EP 808536 A1 & US 5963348 A	1-15
A	JP 9-36778 A (沖電気工業株式会社)7.2月.1997(07.02.97) 全文、全図 (ファミリーなし)	1-15
A	JP 10-107594 A (沖電気工業株式会社)24.4月.1998(24.04.98) 全文、全図 (ファミリーなし)	1-15